

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10013762 A**(43) Date of publication of application: **16.01.98**

(51) Int. Cl.

H04N 5/46
G09G 3/28
G09G 5/00
G09G 5/00
G09G 5/00
H04N 5/66
H04N 7/01

(21) Application number: **08159457**(22) Date of filing: **20.06.96**(71) Applicant: **FUJITSU GENERAL LTD**

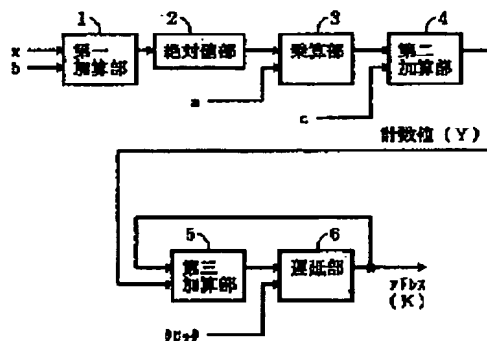
(72) Inventor: **WAKAYAMA NOBUHIKO**
KURITA MASANORI
KONDO SATORU
OTA EIJU

(54) **WIDE SCREEN TELEVISION RECEIVER**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a wide image in which a sense of incongruity is less by configuring a read control signal with a count of different clocks in response to a position on a horizontal scanning line.

SOLUTION: Let an extension rate of a picture element in the middle for each horizontal scanning line be 1 and picture elements are read and displayed so that the extension rate is continuously changed in the horizontal direction. A 1st adder section 1 adds a count X of clock signals and a prescribed constant (-b) for each horizontal scanning line and provides an output of a sum, and an absolute section 2 of a next stage generates and outputs an absolute value $|X-b|$. A multiplier section 3 receives the absolute value $|X-b|$ and a prescribed constant (a) and provides an output of $a|X-b|$. A 2nd adder section 4 receives the output $a|X-b|$ and a prescribed constant (c) and adds them and provides an output of characteristic equation $Y=c-a|X-b|$. The characteristic equation is added to a 3rd adder section 5 as $Y=\Delta X$, then an address K based on the count is obtained and the address K is fed to a memory section, from which picture elements are read to obtain an image whose extension rate is changed continuously in the horizontal direction.



COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-13762

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/46			H 0 4 N 5/46	
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	U
5/00	5 1 0		5/00	5 1 0 S
	5 2 0			5 2 0 V
	5 5 0			5 5 0 R
審査請求 未請求 請求項の数 6 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-159457

(22) 出願日 平成8年(1996) 6月20日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 若山 信彦

川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(72) 発明者 栗田 昌徳

川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(72) 発明者 近藤 悟

川崎市高津区末長1116番地 株式会社富士通ゼネラル内

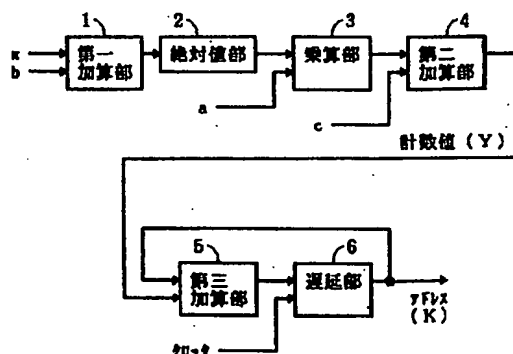
最終頁に続く

(54) 【発明の名称】 ワイド画面テレビ

(57) 【要約】

【課題】 PDP等のワイド画面テレビで違和感の少ないワイド画像を得るようにする。

【解決手段】 水平走査線毎にクロック信号Xと所要定数(-b)とを加算する第一加算部1と、前記第一加算部1の出力の絶対値を生成する絶対値部2と、一方の入力に、前記絶対値を、他方の入力に所要定数aを入力して乗算する乗算部3と、一方の入力に前記乗算部3の出力を、他方の入力に所要定数cを入力して加算する第二加算部4と、前記第二加算部4の現在の出力と、加算結果の1クロック遅延出力とを加算する第三加算部5と、前記第三加算部5の出力をクロック信号に同期して1クロック遅延する遅延部6とでなる。



【特許請求の範囲】

【請求項1】 映像信号をデジタル信号に変換するAD変換部と、前記デジタル信号を所要の書き込み制御信号により順次書き込み記憶するとともに所要の読み出し制御信号により順次読み出すメモリ部と、デジタル信号をアナログ映像信号に変換するDA変換部と、所要の書き込み制御信号及び読み出し制御信号を前記メモリ部に供給するメモリ制御部とを具えたワイド画面テレビにおいて、

上記メモリ制御部が生成した読み出し制御信号により上記メモリ部からデジタル信号を読み出す場合、前記読み出し制御信号を水平走査線上の位置に応じた異なるクロックの計数値で構成し、同計数値に基づき画素を読み出すようにしたワイド画面テレビ。

【請求項2】 上記クロックの計数値を非直線的に変化させることを特徴とした請求項1記載のワイド画面テレビ。

【請求項3】 上記クロックの計数値を水平走査線上の中央点を対称中心にして左右方向で減少するようなほぼ凸状の特性とすることを特徴とした請求項1記載のワイド画面テレビ。

【請求項4】 上記クロックの計数値を水平走査線上の中央でほぼ1とするようにした請求項2又は請求項3記載のワイド画面テレビ。

【請求項5】 上記メモリ制御部を、水平走査線毎にクロック信号を計数してなる計数値と所要定数とを加算する第一加算部と、前記第一加算部の出力の絶対値を生成する絶対値部と、一方の入力に前記絶対値を他方の入力に所要定数を入力して乗算する乗算部と、一方の入力に前記乗算部の出力を他方の入力に所要定数を入力して加算する第二加算部と、前記第二加算部の現在の出力と加算結果の1クロック遅延出力とを加算する第三加算部と、前記第三加算部の出力を1クロック遅延する遅延部とを具えて構成し、

前記遅延部の出力である所要の計数値をメモリ部へ供給をして画素を読み出す場合、前記計数値を水平走査線上の中央点を対称中心にして左右方向で減少するようなほぼ凸状の特性とする請求項1記載のワイド画面テレビ。

【請求項6】 上記遅延部の出力である所要の計数値をメモリ部のメモリへ読み出し許可信号として供給するようにした請求項1記載のワイド画面テレビ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はワイドなアスペクト比(16:9)の表示画面を有するテレビに係わり、詳細には、水平方向に非線型に画像を伸長して表示する回路に関する。

【0002】

【従来の技術】 近年、16:9のアスペクト比を持つテレビジョン受像機(以下、ワイド画面テレビと称する)

が普及してきている。このワイド画面テレビにおいて、例えば、アスペクト比4:3で送られているNTSC(National Television System Committee)方式のテレビ放送を受信し表示する場合など、相対的に画像の中央を縮め、周辺部にいくほど伸ばすことにより、16:9の表示画面を有効に使用しつつ、4:3の画像を出来るだけ違和感が少なく表示するようにしている。

【0003】 図4に16:9のアスペクト比を持つ表示画面に4:3の画像であるクロスハッチパターン信号を表示させたときの画面表示例を示す。

【0004】 図4において、(a)は16:9の映像信号を表示するモードであり、4:3の映像信号は全体的に横方向に伸びて表示される。(b)は4:3の映像信号をそのまま表示するモードであり、4:3の映像信号が正しい縦横比で表示されている。しかし、画面の左右に信号のないブランクの部分が表示されることになる。

(c)は、相対的に、画面の中央部分が圧縮されて周辺にいくにつれて伸長されて表示されるモードであり、最も重要な中央部はそれほど横に伸びた画像にならず、比較的重要度の低い周辺部は横に伸長し、16:9の画面いっぱいに広げて表示することで、4:3のテレビ放送でもワイドな画面全体を活用することができる。

【0005】 周知のように、CRT(陰極線管)を使用したテレビでは、CRTの蛍光面における電子ビームの移動量(偏向速度)は中心部分より周辺部分の方が大きい。ため、周辺における偏向量を中心部に較べ減らすよう水平偏向電流に、所謂、S字補正を実施している。そこで、このS字補正を利用し、補正量を所要値に切り替えるようにすることにより、図4(c)に示したワイドな画面とする画面表示モードを実現するようにしていた。

【0006】 ところで、表示手段としてCRTの代わりに、デジタル表示方式のPDP(プラズマディスプレイパネル)、LCD(液晶)等を使用する場合、CRTで用いた上記S字補正を利用した画面表示モードの変更方法が利用できないので、新たな画像のワイド化の方法が求められていた。

【0007】 図3はデジタル信号処理で画像を伸長するためのメモリを利用した回路の基本ブロック図である。AD変換部31が4:3のアスペクト比の映像信号をデジタル信号に変換し、メモリ部32へ、前記デジタル信号を順次書き込み記憶する。一方、同メモリ部32から所要の読み出し制御信号によりデジタル信号を順次読み出し、DA変換部33が同デジタル信号をアナログ映像信号に変換して表示部(図示せず)に供給し、表示する。メモリ制御部34はメモリ部32へ所要の読み出し制御信号等を供給する。例えば、上記読み出し制御信号として、読み出しアドレスのタイミングを16:9の表示に合わせることで、上記した、図4の(a)のモードを実現できるなど、所要のタイミングで画素を読み出すようにすることにより画素を水平方向に伸長して、

上記図4の各モードを実現できる。

【0008】以下に、読み出し制御信号について具体的に説明する。図5はメモリから画素を読み出すためのアドレスを生成する基本回路の実施例を示すブロック図

(イ)、読み出しアドレスの例(ロ)及び(ハ)を示す図である。図5(イ)のブロック図に示したように、8ビットで表される初期値 ΔX と、キャリーインの1及び遅延部52の16ビットで表される出力とを加算部51で加算し、前記加算部51から16ビットで表される出力を遅延部52に供給し、同遅延部52の16ビットで

表される出力を前記加算部51へ供給するとともに、上位8ビット部分を読み出し用アドレスとする。尚、このアドレスをKとすると、

$$K = 256 / (1 + \Delta X) \cdots \textcircled{1}$$
 である。

【0009】図5(ロ)に示したアドレスの例は、上記図5(イ)の初期値 ΔX として8ビットが全て1であるように「11111111」つまり十進数の255を供給すると、第一のクロックでは9ビット目以上からなるアドレスは「0」であり、第二のクロックではアドレスはキャリーインの1が加算された「1」であり、第三のクロックでは前記初期値 ΔX と、キャリーインの1及び遅延部52の出力のアドレス「1」が加算されてアドレスは「2」であり、・・・、のようにクロック毎に1ずつ増大する読み出し用アドレスが生成される。

【0010】また、図5(ハ)に示した例は、初期値 ΔX として十進数の127(「01111111」)を供給すると、アドレスは上記演算と同様にして、第一のクロック、第二のクロックではともに「0」であり、第三のクロック、第四のクロックではともに「1」であり、第五のクロック、第六のクロックではともに「2」であり、・・・、のように2クロック毎に1ずつ増大するような読み出し用アドレスが生成される。

【0011】上記した、第一の例は、クロック毎に1ずつ増大するアドレスを生成するので、このアドレスを読み出し信号とすることによりクロック毎に1つの画素を読み出す。従って、例えば、図4(b)に示したように記憶している画像をそのままのイメージで表示できる。また、第二の例は、2クロック毎に1ずつ増大するアドレスを生成するので、このアドレスを読み出し信号とすることにより2クロック毎に1つの画素を読み出す。従って、例えば、図4(a)に示したように記憶している画像を水平方向に2倍に伸長した画像を表示できる。

【0012】上記した例から分かるように、図4(c)に示したようなワイドな画面とする画面表示モードを実現するために、図5(イ)のブロック図において、例えば、画面中央付近は上記の第一の例を適用し、画面の左右周囲付近は上記の第二の例を適用するように切り換えることにより、ワイド画面が実現できる。しかし、初期値 ΔX を切り換える方法では、切替え点を境にして画像

伸長の様子が急激に変化するので、画像に違和感が生ずる。

【0013】そこで図4(c)に示したような違和感の少ないワイドな画面とするための条件として、上記初期値 ΔX の変化を連続的に少しずつ変えることにより、連続的に伸長のようすを変化させるようにすることが必要である。例えば、水平走査線方向に対する画像の伸長率の特性を水平走査線の中央で1とし所要の傾きをもつ2次曲線とすれば、上記条件を満足できる。このような伸長率の2次曲線特性を実現するために、初期値 ΔX に該2次曲線に基づく値を供給する。こうすることにより、画面の中央付近は伸長が少なく左右の周辺部が伸長率が大きくかつ画面全体に伸長率が連続的に変化することになるので、図4(c)に示したような画像を得ることができる。

【0014】しかし、一般に、上記伸長率の特性を2次曲線で与えるためには、前記①式の初期値として水平走査線の位置に応じた異なるクロックの計数値が2次の関数となるようにする必要があり、例えば、 $K = 256 / (1 + \Delta X) = a(x - b)(x - b) + c$ と置いて ΔX についてこの式を解くと、 $\Delta X = 256 / \{a(x - b)(x - b) + c\} - 1$ なる関数を初期値 ΔX として与えることになる。しかし、この ΔX を実現しようとするれば、デジタル信号処理の回路として、少なくとも2個の乗算回路及び1個の除算回路が必要となる。一般に、乗算回路及び除算回路を所要の精度で実現するためには演算ビット数が演算毎に2倍に増大するような大規模な回路となり、従って、コストアップの問題があった。

【0015】

【発明が解決しようとする課題】本発明は上記問題点に鑑みなされたもので、違和感の少ないワイド画像を得るようにしたPDP等のワイド画面テレビを実現するためのメモリ読み出し制御回路を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、映像信号をデジタル信号に変換するAD変換部と、前記デジタル信号を所要の書き込み制御信号により順次書き込み記憶するとともに所要の読み出し制御信号により順次読み出すメモリ部と、デジタル信号をアナログ映像信号に変換するDA変換部と、所要の書き込み制御信号及び読み出し制御信号を前記メモリ部に供給するメモリ制御部とを具えたワイド画面テレビにおいて、上記メモリ制御部が生成した読み出し制御信号により上記メモリ部からデジタル信号を読み出す場合、前記読み出し制御信号を水平走査線上の位置に応じた異なるクロックの計数値で構成し、同計数値に基づき画素を読み出すようにした。

【0017】また、メモリ制御部を、水平走査線毎にクロック信号を計数してなる計数値と所要定数とを加算す

る第一加算部と、前記第一加算部の出力の絶対値を生成する絶対値部と、一方の入力に前記絶対値を他方の入力に所要定数を入力して乗算する乗算部と、一方の入力に前記乗算部の出力を他方の入力に所要定数を入力して加算する第二加算部と、前記第二加算部の現在の出力と加算結果の1クロック遅延出力とを加算する第三加算部と、前記第三加算部の出力を1クロック遅延する遅延部とを具えて構成し、前記遅延部の出力である所要の計数値をメモリ部へ供給をして画素を読み出す場合、前記計数値を水平走査線上の中央点を対称中心にして左右方向で減少するようなほぼ凸状の特性とする。

【0018】

【発明の実施の形態】以上のように構成したので、16:9の画面いっぱいに広げて表示する画像は、水平走査線毎に中央部の画素の伸長率を1とし、左右周辺部の伸長率を、例えば、2倍などでありかつ伸長率が水平方向で連続的に変化するように画素を読み出して表示することから、違和感の少ないワイド画面を実現できる。

【0019】

【実施例】以下、本発明によるワイド画面テレビについて、図を用いて詳細に説明する。図1は本発明によるワイド画面テレビのメモリから画素を読み出すための制御信号を生成する回路の実施例を示すブロック図である。1は水平走査線毎にクロック信号数 X と、所要定数 $(-b)$ とを加算する第一加算部であり、2は、前記第一加算部1の出力の絶対値を生成する絶対値部であり、3は一方の入力に、前記絶対値 $|X-b|$ を他方の入力に所要定数 a を入力して乗算する乗算部である。4は一方の入力(負)に前記乗算部3の出力 $a|X-b|$ を他方の入力に所要定数 c を入力して加算することにより、クロック信号の計数値 Y を生成する第二加算部である。5は、前記第二加算部4の現在の出力 $(Y=c-a|X-b|)$ と、加算結果の1クロック遅延出力とを加算する第三加算部であり、6は、前記第三加算部5の出力をクロック信号に同期して1クロック遅延することにより、メモリ読み出し用アドレスを出力する遅延部である。

【0020】本発明によるワイド画面テレビの制御信号を生成する動作を図1、図2に従い説明する。尚、図2は本発明によるワイド画面テレビの読み出し制御信号を生成する場合の、ディスプレイ(イ)、クロック数とその計数値との関係(ロ)、(ハ)、(ニ)と、水平位置と画素の伸長率との関係(ホ)とを示すイメージ図である。図2の(イ)は表示画面(ディスプレイ)である。

(ロ)は横軸 X に表示用クロックをとり、縦軸 Y に同クロックの計数値をとった場合のクロックと計数値の特性グラフを示し、特性式は $Y=aX$ であり、傾き a の右上がりのリニア特性を示す。

【0021】図2の(ハ)に示すクロックと計数値の特性は、画面中央点 b (折れ点)を対称軸とし、同中央点から画面右端に前記右上がりの傾き a を持つ特性と、前

記対称軸で対称の右下がりの傾き $(-a)$ を持つ特性であり、特性式は $Y=a|X-b|$ である。図4(ニ)に示すクロックと計数値の特性は、前記図2の(ハ)の特性を (-1) 倍し、正の定数 C だけ平行に移動したものであり、水平走査線上の中央点を対称中心にして左右方向で減少するようなほぼ凸状の特性を示す。

特性式は $Y=c-a|X-b|\cdots\textcircled{2}$

である。

【0022】上記②の特性式の計数値 (Y) を読み出しアドレスを発生する、前記図5(イ)の初期値に対応させ、 $Y=\Delta X$ として、前記①式の $K=256/(1+\Delta X)$ の ΔX に、②式で求めた計数値 (Y) を代入すると、アドレス K は、 $K=256/(c+1-a|X-b|)$ となり、式を整理することにより、 $K=B/(A-|X-b|)\cdots\textcircled{3}$

を得る。但し、 $B=256/a$ 、 $A=(c+1)/a$ である

図2(ホ)のグラフは、図2(イ)に示した表示画面の左右部分でクロックの計数値が小さく、中央部分で計数値がほぼ1となるような、上記の②の特性式の計数値を初期値として①式から得られた、前記 K に基づきメモリから画素を読み出した場合の、表示される画素が表示画面の左右部分で大きく伸長し、中央部分ではそのままかつ連続的に伸長率が変化するような伸長特性を表している。

【0023】上記特性式②が示す計数値 (Y) を、前記図1の第三加算部5へ与えることにより得られるアドレス K でメモリから画素を読み出すことにより、上記図2(ホ)のグラフが示すような、水平走査線上の中央点を対称にかつ最小、例えば、値1にして左右方向で増大するようなほぼ凹状の非直線的に変化した伸長特性が得られる。従って、従来、2次曲線特性を適用しなければならなかった滑らかな画素の伸長を、上記特性式 $Y=c-a|X-b|\cdots\textcircled{2}$ を適用することにより実現できる。

【0024】図1のブロック図に示した回路の動作を説明する。第一加算部1が水平走査線毎にクロック信号を計数してなる計数値 X と所要定数 $(-b)$ とを加算して出力に、上記特性式 $Y=c-a|X-b|\cdots\textcircled{2}$ の絶対値記号の内側の式 $(X-b)$ を出力し、次段の絶対値部2が前記出力 $(X-b)$ の絶対値 $|X-b|$ を生成して出力する。乗算部3が一方の入力に、前記絶対値 $|X-b|$ を、他方の入力に所要定数 a を入力して乗算し、前記特性式②の $a|X-b|$ 部分を出力する。第二加算部4が一方の入力(負)に前記乗算部3の出力 $a|X-b|$ を、他方の入力に所要定数 c を入力して加算することにより、前記特性式 $Y=c-a|X-b|\cdots\textcircled{2}$ を生成し出力する。

【0025】第三加算部5と、遅延部6とは、前記図5(イ)に示した計数値に基づきアドレスを生成する基本

回路のブロック図に相当するものである。上記した特性式②を第三加算部5に、 $Y = \Delta X$ と見なして供給することにより、前記K言い換えると計数値に基づくアドレスを得る。

【0026】このKをメモリ部へ供給して、画素を読み出すことにより、図4(c)に示したような画像を得る。また、Kはメモリのアドレスに与える方法の他に、メモリへ読み出し許可信号として供給するようにしても同様の効果が得られる。尚、上記説明は水平方向について述べたものであるが、本発明は水平方向に限定する訳ではなく、同様の方法を垂直方向に適用することができる。垂直方向の伸長により、例えば、画面の外に表示される字幕等を表示させることが可能となる。

【0027】

【発明の効果】以上説明したように、本発明は違和感の少ないワイド画像を得るようにしたPDP等のワイド画面テレビを実現するためのメモリ読み出し制御回路を提供する。除算器を使用せずに伸長処理ができるので、回路規模が小さい簡易回路で実現できるメリットがある。

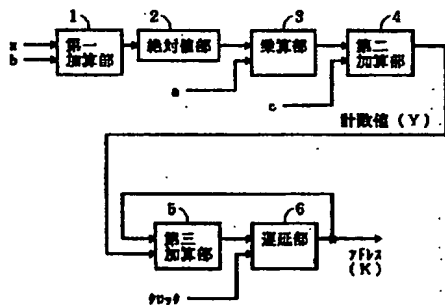
【0028】

また、可能特性式 $Y = c - a | X - b | \cdots \textcircled{2}$ の各定数a、b、cを変化させることにより、画像の伸長率を簡単に変えることができるので、伸長処理の調整、最適化が容易に実施できるメリットがある。さらに、垂直方向の伸長にも利用できる。

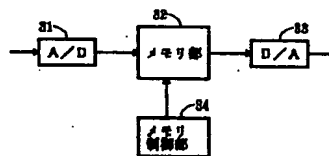
【図面の簡単な説明】

【図1】本発明によるワイド画面テレビのメモリから画

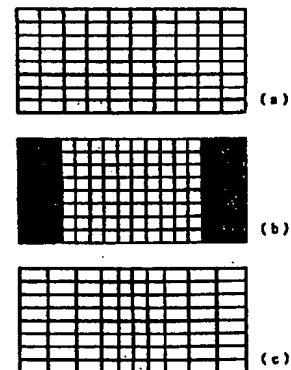
【図1】



【図3】



【図4】



素を読み出すための制御信号を生成する回路の実施例を示すブロック図である。

【図2】本発明によるワイド画面テレビの読み出し制御信号を生成する場合の、ディスプレイ (イ)、クロック数とその計数値との関係 (ロ)、(ハ)、(ニ)と、水平位置と画素の伸長率との関係 (ホ)とを示すイメージ図である。

【図3】デジタル信号処理で画像を伸長するためのメモリを利用した回路の基本ブロック図である。

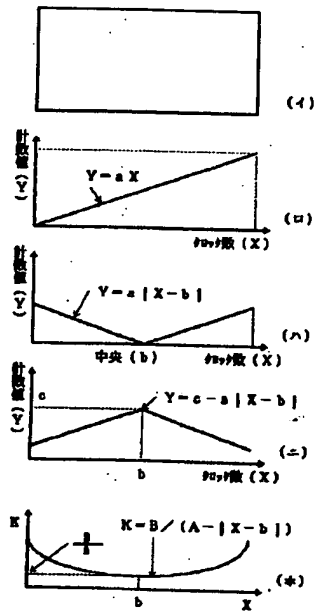
【図4】16:9のアスペクト比を持つ表示画面に4:3の画像であるクロスハッチパターン信号を表示させたときの画面表示例を示す図である。

【図5】メモリから画素を読み出すためのアドレスを生成する基本回路の実施例を示すブロック図 (イ)、読み出しアドレスの例 (ロ) 及び (ハ) を示す図である。

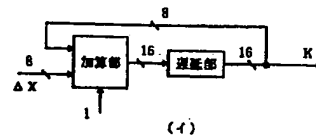
【符号の説明】

- 1 第一加算部
- 2 絶対値部
- 3 乗算部
- 4 第二加算部
- 5 第三加算部
- 6 遅延部
- 31 AD変換部
- 32 メモリ部
- 33 DA変換部
- 34 メモリ制御部

【図2】



【図5】



$\Delta X = 256$					
遅延部	1	2	3	4	...
K	0	1	2	3	...

(g)

$\Delta X = 127$							
遅延部	1	2	3	4	5	6	...
K	0	0	1	1	2	2	...

(h)

フロントページの続き

(51) Int. Cl. 6

H04N 5/66
7/01

識別記号

庁内整理番号

FI

H04N 5/66
7/01

技術表示箇所

D
G

(72) 発明者 太田 英寿

川崎市高津区末長1116番地 株式会社富士
通ゼネラル内